一种用于 MRPC 前端读出的原型 ASIC 设计

李荘[1,2]，秦家军[1,3,†]，陈晗[1,3]，李嘉铭[1,3]，赵雷[1,2,3]

（1.中国科学技术大学核探测与核电子学国家重点实验室，合肥 230026；
2.中国科学技术大学微电子学院，合肥 230026；
3.中国科学技术大学近代物理系，合肥 230026）

摘要： 飞行时间（Time-Of-Flight, TOF）探测器是核与粒子物理实验的重要组成部分，多气隙电阻板室（Multi-gap Resistive Plate Chamber, MRPC）以其高时间精度的特点在 TOF 测量系统中被广泛应用，放大甄别结合时间数字变换是 MRPC 电子学读出的一种主流方案。为了满足 MRPC 读出电子学高时间精度、低功耗、高集成度的需求，设计了一款高速放大甄别原型芯片，该芯片集成了 8 个通道，通道内包含前置放大器、甄别器和输出驱动电路。前置放大器采用共栅极结构，这种低输入阻抗的结构有利于进行阻抗匹配设计；甄别器采用多级放大器级联的结构产生足够的增益，通过对信号进行饱和放大实现甄别功能；经过甄别后的脉冲波形信号由 LVDS 输出驱动器送到片外，其前沿和脉宽分别可以表征 MRPC 信号的到达时间和电荷量信息。基于 180 nm 的 CMOS 工艺完成了电路的设计、仿真和流片，并在实验室环境下完成了电子学性能测试。测试结果表明，在 100 fC～2 pC 电荷量下，该芯片的时间精度好于 10 ps (rms)，单通道功耗约为 24 mW。

关键词： 高精度时间测量；MRPC 前端读出电子学；放大甄别；专用集成电路

1. 引言：

粒子鉴别(Particle identification，PID)是核与粒子物理实验的基本任务之一，飞行时间（Time of Flight, TOF）探测是一种有效的粒子鉴别手段[1]。多气隙电阻板室(Multi-gap Resistive Plate Chamber, MRPC)出现于 20 世纪 90 年代中期, 由大型强子对撞机(LHC)上的 ALICE 合作组首先研制成功, 以其时间精度高、造价低的优势被广泛应用于 TOF 系统[2-6]。

基于 MRPC 的 TOF 系统的时间测量精度受探测器和电子学的共同影响，由以下公式表示:

$$\sigma_{TOF} = \sqrt{\sigma_{MRPC}^2 + \sigma_{electronics}^2} \quad (1)$$

在此领域已建成的大型物理实验装置中，电子学时间测量精度最高水平约为 20~25 ps[7]。随着粒子鉴别需求的提升和 MRPC 探测器技术的发展，最新一代的 TOF 系统需要达到好于 20 ps 的时间测量精度[8]，对于电子学，则需要达到约 10 ps 的时间精度。

基金项目：国家自然科学基金杰出青年项目资助(12325509)
作者简介：李荘（1999-），男，河南许昌人，硕士研究生；E-mail: lz19990921@mail.ustc.edu.cn
†通信作者：秦家军，E-mail：jjqin@ustc.edu.cn

要完成对 MRPC 输出信号的高精度时间测量，一种主流的方法是放大甄别结合时间数字变换（Time-to-Digital Converter , TDC），首先使用前置放大器将 MRPC 输出的微弱信号进行放大，然后通过甄别器将其转换为包含了到达时间(Time Of Arrival, TOA)和过阈时间(Time Over Threshold, TOT)信息的脉冲波形信号，最后用 TDC 测量时间。目前 FPGA TDC 和 TDC 专用集成电路都能达到极高的时间测量精度[9-11]，电子学的时间抖动主要由前置放大和甄别电路贡献。由于 MRPC 输出信号幅度小且速度快[12]，信号的电荷量在百飞库量级，上升时间小于 1 ns，要对这样的信号完成极低抖动的放大和甄别，需要低噪声和高带宽的模拟前端电路，这也是 MRPC 读出系统设计的重点和难点所在。同时，模拟前端电路还需要具有阻抗匹配的功能和低功耗、高集成度的特点，这也进一步加大了设计的难度。为了满足未来 TOF 系统对时间测量精度的要求，放大和甄别电路需要能达到好于 10 ps 的时间精度，这是一个极具挑战的指标。

对于高速微弱信号的放大和甄别，国内外的许多研究团队已经展开了相应的研究，比如 ALICE 实验中的 NINO 芯片[13]、CBM 实验中的 PADI 芯片[14]以及国内用于 HIAF 的 NTIMP 芯片[15]，但是一方面这些芯片的时间精度不能完全覆盖最新的 MRPC 读出电子学时间精度的要求，另一方面来自国外的芯片在大型物理实验的应用中存在获取困难的问题，因此有必要展开自主知识产权的 MRPC 读出芯片研究。

本研究的目标是设计一款集成了放大、甄别和波形输出功能的模拟前端 ASIC，实现对 MRPC 信号低抖动的放大和甄别。TDC 的研究在单独进行中，最终在完成了模拟前端和 TDC 各自的验证后，未来的设计目标是集成了模拟前端和 TDC 的 MRPC 前端读出 ASIC。

2. ASIC 设计

MRPC 模拟前端读出芯片要实现的功能是将 MRPC 输出的微弱信号进行放大和甄别，得到包含前沿和脉宽信息的脉冲波形信号，然后将脉冲波形信号输出到片外完成时间测量。芯片的整体框架如图 1 所示：在每个通道内集成了前置放大器、甄别器和输出驱动电路三个主要功能模块，外围电路为各个通道提供公共的供电、偏置和阈值。

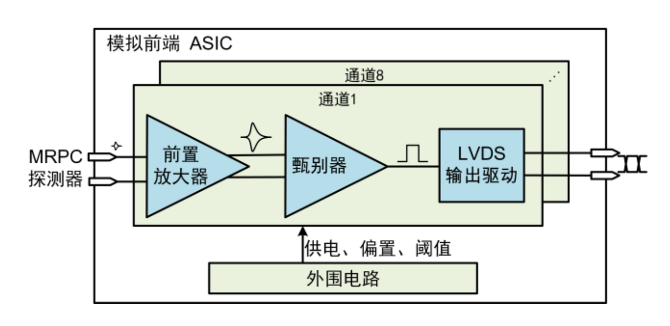


图 1　MRPC 模拟前端读出芯片基本结构

ASIC 设计的各项指标如表 1 所示，其中核心指标是甄别后脉冲波形信号前沿的时间精度。时间精度与输入信号的幅度相关，在波形一致性较好、阈值设置合理的前提下，信号幅度越大时间精度越好。要求

在差分输入两端各注入极性相反的 100 fC 信号情况下，时间精度能达到好于 10 ps。为了适应大多数 MRPC 探测器的输出信号幅度，设置动态范围指标为 100 fC～2 pC。由于 MRPC 探测器的读出条有一定长度，在电子学读出系统设计时，需要前放的输入阻抗与传输线阻抗或 MRPC 探测器阻抗相匹配[16]，所以输入阻抗需要在 40 Ω～100 Ω 之间可调，在大多数使用场景下设置为 50 Ω，与传输线阻抗相匹配。为了满足大型物理实验中高集成度的应用要求，单芯片至少集成 8 通道，并且功耗不能过高。输出接口采用 LVDS 输出，以便后端电路接收。

表 1 模拟前端原型 ASIC 设计指标

性能参数	设计指标
前沿时间精度	<10 ps RMS
动态范围	100 fC~2 pC
输入阻抗	40 Ω~100 Ω
通道数	8
单通道功耗	30 mW
输出接口	LVDS

2.1 前置放大器

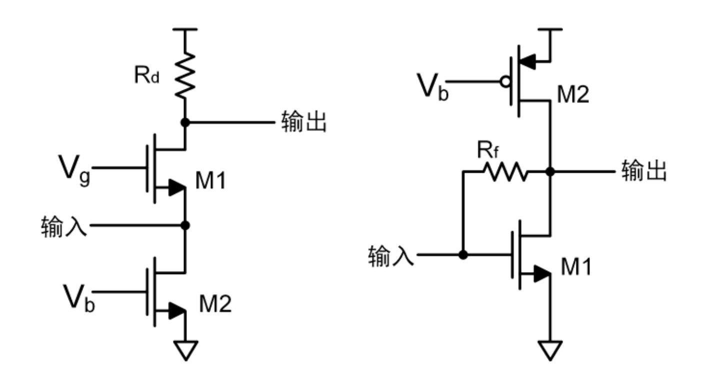
在模拟前端电路中，前置放大器是对时间性能影响最大的子电路。因为前置放大是小信号变大的阶段，对小信号的任何干扰都会很大程度上导致抖动增加。后续电路处理的是幅度更大抗干扰能力更强的大信号，因此后续电路引入的额外抖动相对较小。所以前置放大器是设计的重点。

前置放大器需要的设计需要考虑低噪声、高带宽和低输入阻抗三个因素。定时甄别的时间抖动由噪声和信号边沿斜率(Slew Rate, SR)共同决定,满足公式:

$$jitter = \frac{RMS(V_{noise})}{SR} \tag{2}$$

而边沿斜率取决于探测器信号上升时间和前放带宽。为了达到低抖动的设计目标，需要前置放大器兼具低噪声和高带宽的特点。前置放大器输入端需要与传输线阻抗进行阻抗匹配，因此前放要有较低的输入阻抗。

首先考虑前置放大器要采取的结构。为了减小噪声和寄生电容，前放应该选取尽可能简洁的电路结构。有两类结构可以实现低输入阻抗[17]，如图 2 所示，分别是带反馈电阻的共源极放大器和共栅极放大器，其输入阻抗都为g_{m1}^{-1}。但是共源极结构的输入电压依赖于反馈电路，所以其输入阻抗难以在很高的频率范围内保持稳定，而 MRPC 输出信号的频率范围很宽，为了能让输入阻抗在信号的频率范围内保持平坦，选取共栅极放大器作为前放的基本结构。



（a）共栅极放大器　　（b）带反馈电阻的共源极放大器

图 2 低输入阻抗的前放结构

前置放大器的带宽与放大甄别系统的时间抖动性能之间的关系可以由（2）式进一步推导得到[18]：

$$jitter=\frac{RMS(V_{noise})}{SR}=\frac{e_n\sqrt{BW}}{\frac{V_{sig}}{t_r}}\propto\frac{e_n\sqrt{\frac{1}{t_{rA}}}}{\frac{\mathrm{V_{sig}}}{\sqrt{t_{rA}^2+t_{rD}^2}}}=\frac{\mathrm{e_n}\sqrt{t_{rD}}}{V_{sig}}\sqrt{\frac{t_{rA}}{t_{rD}}+\frac{t_{rD}}{t_{rA}}} \tag{3}$$

其中$\mathrm{e_n}$为噪声谱密度，BW 为放大器带宽，$\mathrm{V_{sig}}$为放大器输出信号幅度，$\mathrm{t_r}$为输出波形上升时间，$\mathrm{t_{rA}}$为放大器特征上升时间，反比于带宽，$\mathrm{t_{rD}}$为探测器输出信号的上升时间。（3）式呈现出均值不等式的形式，这说明带宽过低会导致信号上升时间变慢，使时间抖动增大；带宽过高则会导致高频噪声通过，也会使时间抖动增大。合理的带宽选择应该使放大器的上升时间与探测器输出信号的上升时间相同，即$\mathrm{t_{rA}}=\mathrm{t_{rD}}$。MRPC 信号的时间约为 0.5 ns, 经过传输线寄生和芯片输入管脚寄生，前放接收到的信号的上升时间约为 0.6 ns ~ 0.7 ns，对应的最佳带宽范围在 500 MHz ~ 583 MHz，此时（3）式可简化为$\frac{\mathrm{e_n}\sqrt{2\mathrm{t_{rD}}}}{\mathrm{V_{sig}}}\propto\frac{\mathrm{e_n}}{\mathrm{Gain}}$，也就是放大器的等效输入参考噪声，接下来对等效输入参考噪声进行分析。

前放输入节点的总噪声为[19]：

$$V_{in,x}=\frac{Z_{in}}{Z_{in}+Z_s}V_{n,in}+\frac{Z_s}{Z_{in}+Z_s}Z_{in}I_{n,in} \tag{4}$$

共栅极前放的输入阻抗$\mathrm{Z_{in}}$较低，在考虑噪声性能时需要兼顾等效输入噪声电流和等效输入噪声电压。前放的等效输入噪声由放大电路和偏置电流源共同贡献。首先考虑放大电路的噪声，放大电路的噪声包含放大管的噪声和负载电阻的噪声，输入参考噪声电压为$\frac{4\mathrm{kT}(\gamma \mathrm{g_{m1}}+\frac{1}{\mathrm{R_D}})}{(\mathrm{g_{m1}}+\mathrm{g_{mb1}})^2}$，输入参考噪声电流为$\frac{4\mathrm{kT}}{\mathrm{R_D}}$。其次考虑偏置电路的噪声，由于共栅极电路没有电流增益，因此偏置电路的噪声完全 1:1 等效到了输入参考噪声，其大小为$4\mathrm{kT}\gamma\mathrm{g_{m2}}$。综上，电路的等效输入噪声为：

$$\overline{V_{n,in}^2}=\frac{4kT\left(\gamma g_{m1}+\frac{1}{R_D}\right)}{(g_{m1}+g_{mb1})^2} \tag{5}$$

$$\overline{I_{n2,in}^2}=4kT\left(\frac{1}{R_D}+\gamma g_{m2}\right) \tag{6}$$

增大放大管的跨导g_{m1}，和负载电阻R_D，减小偏置电流源的跨导g_{m2}有利于控制噪声。其中，放大管的跨导g_{m1}与电路的输入阻抗相关，不能随意改变，所以放大电路的噪声主要通过增大负载电阻来控制，这也会带来电压裕度的损失。减小偏置电流源的跨导g_{m2}可以减小偏置电路的噪声，这需要通过减小偏置电流源的宽长比，增大其过驱动电压来实现，但同时也会带来电压裕度的损失。为了尽可能的减小噪声，对前放采用 180 nm 工艺中的 3.3 V 高电压供电，这样就可以提供更多的电压裕度，牺牲功耗换取更好的噪声性能。最终确定的负载电阻阻值为 900 Ω，放大管跨导为 16.8 mS，尾电流源跨导为 4.8 mS。前放的等效输入噪声电荷可以由公式（7）进行估算[20]，计算得到的等效噪声电荷约为 1620 个电子。

$$ENC^2 = 2\left(\frac{\overline{V_{n,in}^2}}{R_{IN}^2} + \overline{I_{n2,in}^2}\right) \times \tau_s^2 \times \Delta f \tag{7}$$

在原型芯片的设计中，为了研究电路在不同偏置下的工作特性，在负载电阻上并联一个 PMOS 补偿电流源，从而使前放的工作电流和输出点的静态电压灵活可调。最终的前放电路如图 3 所示：

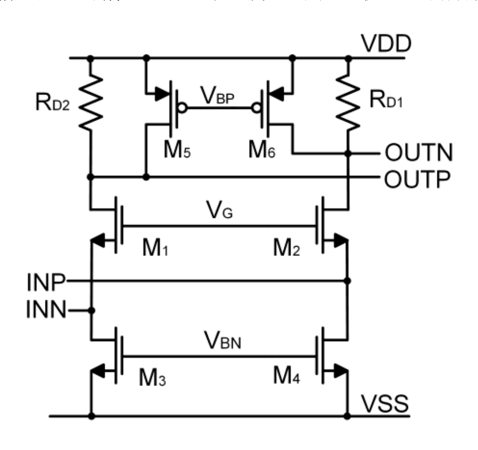
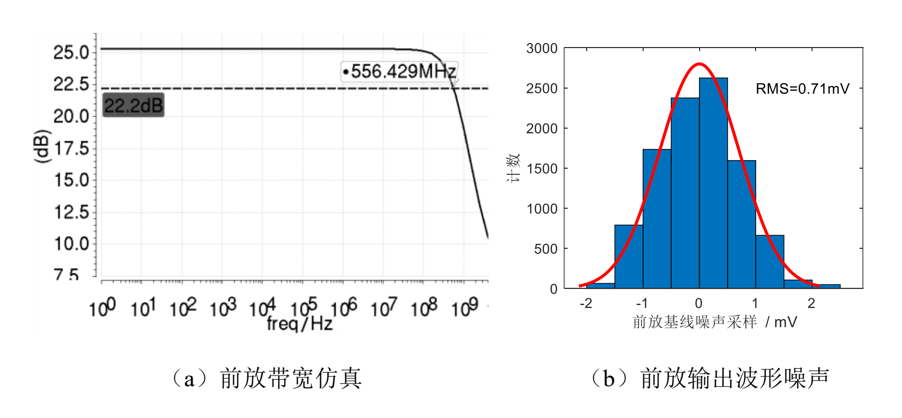


图 3 前置放大器电路结构

对于前放的仿真结果如图 4 所示，其中（a）为交流仿真，前放增益为 25 dB，在甄别器中还会有一定的增益，所以前放不需要过高的增益，前放的带宽为 556 MHz，满足设计需要；（b）为无信号输入情况下前放输出的波形采样，在静态时基线上的噪声 RMS 值为 0.71 mV，电荷量-电压增益为 2.6 mV/fC，等效输入噪声电荷为 1700 个电子的电荷量，与噪声分析的计算结果接近。瞬态仿真在 100 fC 电荷量下输出波形的上升沿斜率为 105 MV/s，根据（2）式计算时间抖动为 6.8 ps，小于设计指标并为其他部分留出较大余量。



（a）前放带宽仿真　　（b）前放输出波形噪声

图 4 前放仿真结果

2.2 阻抗匹配

前置放大器通过共栅极结构实现了较低的输入阻抗，还需要配合偏置电路实现输入阻抗可调，从而与探测器或传输线阻抗进行匹配。设计了如图 5 所示的偏置电路：其中左侧为外围电路中的公共偏置电路，通过电流镜结构产生一个与 M2 工作电流 I_0 成比例的参考电流 I_{ref}；右侧为通道内的偏置电路，其中 M8 为前置放大器的尾电流源（即图 3 中的 M3 和 M4），通道内的偏置电路接收参考电流并将其转换为参考电压，控制前放的尾电流源 M8 的工作电流，从而控制前放中放大管的工作电流。通过合理的电流镜比例使前放中的放大管与外围参考电路中的 M2 管具有相同的工作电流 I_0，并且这两个 MOS 管设计为相同的宽长比，工作在相同的状态，因此具有相同的跨导。

在外围偏置电路中，M1 管的宽长比是 M2 的 4 倍，通过上方的 PMOS 电流源控制 M1 和 M2 的电流相同，当两个管子都工作在饱和区时，其工作电流满足[19]：

$$I_D = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS} - V_{TH})^2 \tag{8}$$

由于 M1 管的宽长比是 M2 的 4 倍，可以推出：

$$2(V_{GS1} - V_{TH}) = V_{GS2} - V_{TH} \tag{9}$$

结合栅极与地之间的电压公式：

$$I_D R_{EXT} + V_{GS1} = V_{GS2} \tag{10}$$

可以推导出：

$$R_{EXT} = \frac{V_{GS} - V_{TH}}{2I_D} = \frac{1}{g_{m2}} \tag{11}$$

即外接电阻近似等于放大管的输入阻抗，可以通过调节外接电阻来控制前放的输入阻抗。

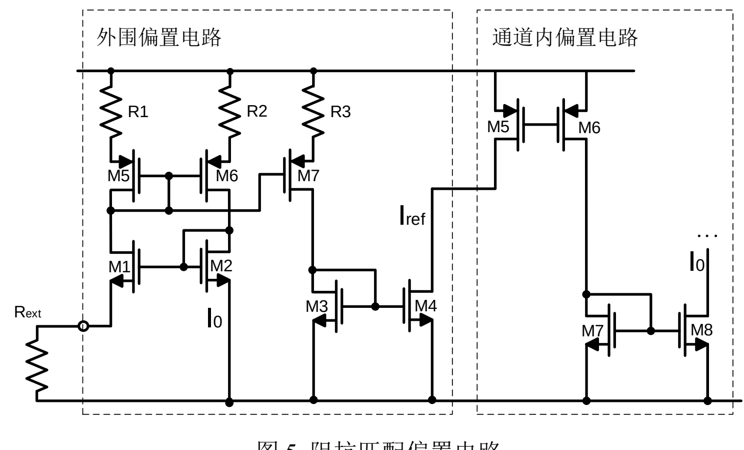
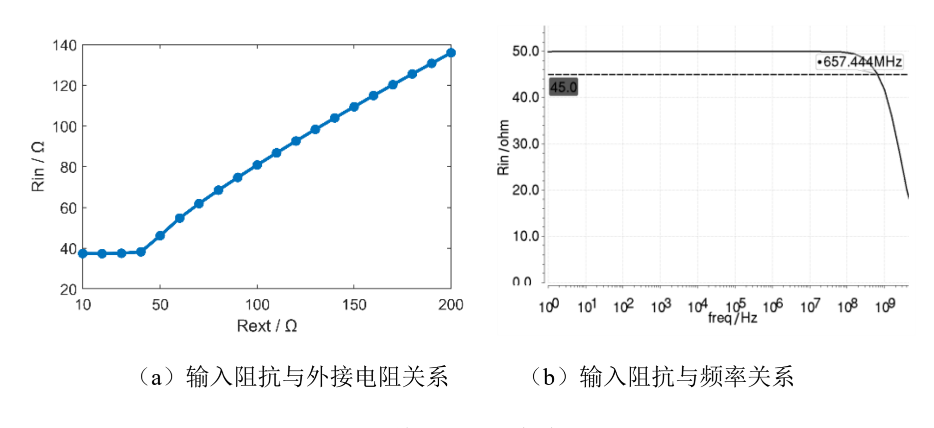


图 5 阻抗匹配偏置电路

输入阻抗的仿真结果如下图所示，外接电阻阻值在 50 Ω 到 200 Ω 范围内，输入阻抗与外接电阻之间为线性关系。当外接电阻过小时，放大管工作电流过大，进入线性区，所以输入阻抗不能无限制的减小，但是目前的阻抗范围已经能满足与 50 Ω 的传输线以及大多数 MRPC 探测器阻抗匹配的需要。AC 仿真结

果表明，在外接 52 Ω 电阻时，输入阻抗能在 657 MHz 范围内仅从 50 Ω 变化到 45 Ω，这说明在 MRPC 信号的频带范围内，输入阻抗有较好的频率稳定性。



（a）输入阻抗与外接电阻关系　　（b）输入阻抗与频率关系

图 6 输入阻抗仿真结果

2.3 甄别器

甄别器的本质是高增益、高摆率的差分放大器，在处理差分信号时，对信号的甄别可以通过饱和放大来实现。

甄别器的结构如图 7 所示，其主体是 4 个相同结构的差分放大器，通过级联来实现高增益。由于多级放大器有很高的直流增益，前放由于 PVT 引起的 PN 之间的不对称会被不断放大，并且这个不对称是随机的，最终会导致各通道间有较大的不一致性，使各个通道无法共用相同的阈值。一种简单的解决方法是设计通道内部的 DAC，为各个通道提供不同的阈值，但是这需要在使用时对各个通道进行标定，在海量通道数的应用场景下，大量的标定会增大系统设计的工作量。因此，需要抑制通道间的不一致性，从而使所有通道可以共用一个阈值。

采用负反馈的方法来降低直流增益，从而抑制通道间的不一致性。因为负反馈会降低闭环增益，因此这种反馈应当是低频的，否则会降低电路的动态小信号增益。设计了一种有源复位的结构来同时保证低频反馈和稳定性：由 PMOS 开关和 NMOS 电容构成采样保持结构，当复位信号为 0 时，PMOS 导通，第二级放大器的输出与采样电容连接，实现反馈节点对第 2 级输出基线的采样，当复位信号为 1 时，反馈电路和信号主通路断开，反馈基于采样采到的基线，而和瞬态波形无关，这样既不会引起稳定性问题，也不会因为反馈降低动态信号的增益。

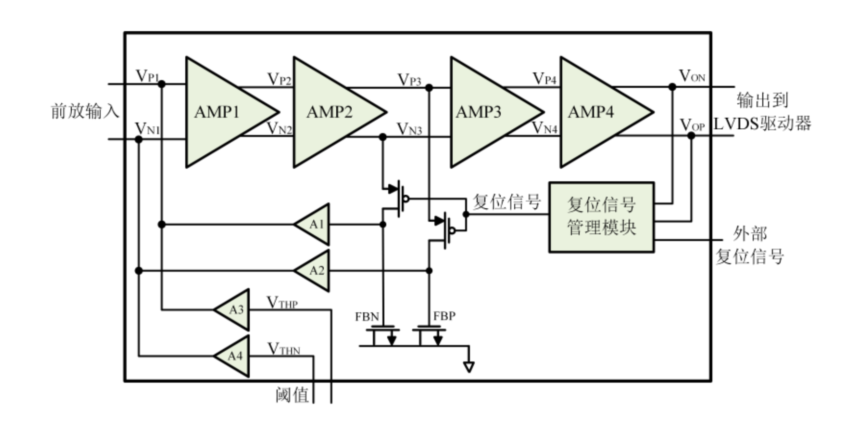


图 7 甄别器结构图

复位电路允许自动复位或外部手动复位，自动复位的时机选在一个信号到来之后的一段时间，基于 MRPC 事例的稀疏性，一个事例到来之后的很长一段时间内不会有第二个信号，这就避免了对基线采样而采到信号的情况。在上电之初，需要手动进行初始复位，这个采样保持电路的保持时间较长，大约在百毫秒到秒级，如果长时间内没有信号到来，那么也只需要百赫兹量级的主动复位。

复位信号的波形也需要加以设计，其后沿（上升沿）不能太快，因为在后沿上 P 管是逐渐关断的，如果速度太快，那么栅漏之间的电容会导致采样电压不准；而较慢的上升沿会使得 PMOS 逐渐关断，允许一部分的馈通电荷通过沟道泄放掉。

反馈电路同时还具备阈值功能。A1 到 A4 是相同结构的漏极开路 NMOS 放大器，由于环路具有高增益和负反馈的特点，输入端虚短，也就是在$\mathrm{V_{P3}}$、$\mathrm{V_{N3}}$和$\mathrm{V_{THP}}$、$\mathrm{V_{THN}}$共同作用下使$\mathrm{V_{N1}}$和$\mathrm{V_{P1}}$电压相同，即：

$$V_{P3} - V_{N3} = V_{THP} - V_{THN} \tag{12}$$

即第二级放大器输出基线的可以通过输入的阈值电压来控制。

饱和放大电路中的每一级放大器的结构如图 8 所示：

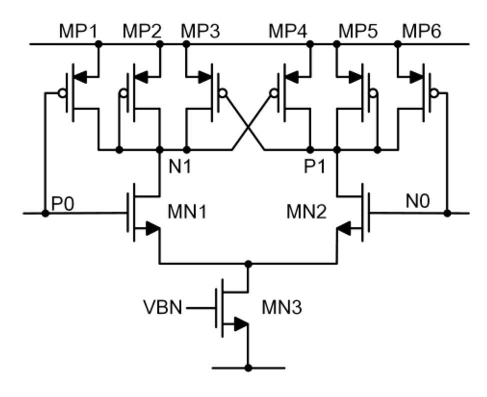


图 8 甄别器中的放大器电路

MP3 和 MP4 是二极管负载，用来限制输出电压的下摆范围；MP1 和 MP2 的栅极和漏极交叉连接，在输入翻转时，起到了阻止 P1 和 N1 电压接近而促使 P1 和 N1 电压分离的效果，前者为迟滞效果，可以抑制误翻转和过阈时产生的毛刺，后者为正反馈效果，可以增加翻转的摆率。如果没有 MP1 和 MP6 负载，在形成正反馈前，输出差分信号中，上升的一支速度比较慢，但是下降的一支速度较快，正反馈在下降接

近完成时建立，此时另一支才有较快的上升速度，这会导致正负波形不对称。加入 PMOS 放大管负载可以使上升沿得到改善，正负波形更加对称，同时可以增加跨导增益，提升信噪比和输出摆率。

当甄别器阈值固定时，随着信号幅度上升直到逐渐过阈，甄别器的状态从不翻转过渡到翻转，由于噪声的存在，翻转概率与信号幅度的关系曲线不是理想的从 0 到 1 的瞬间跳变，而是呈现 S 型从 0 逐渐上升到 1，S 曲线的倾斜程度可以反映甄别器的噪声性能[21]。依据这一原理对甄别器进行仿真：将阈值调到合理位置（本研究中关注的是 100 fC 信号下的噪声性能，所以阈值设置为恰好能甄别到 50 fC 信号峰值的位置），输入信号采用与前放输出信号形状相同的波形，改变输入信号的幅度，在每个幅度下采用不同的噪声种子重复进行 200 次仿真，统计甄别器的翻转情况，得到的仿真结果如图 9 所示（对输入信号中心电压做了归一化）。将仿真结果与高斯分布进行拟合，得到等效输入噪声的均方根为 43.87 μV，相比于前放输出的噪声的均方根 0.71 mV，甄别器额外引入的噪声很小。

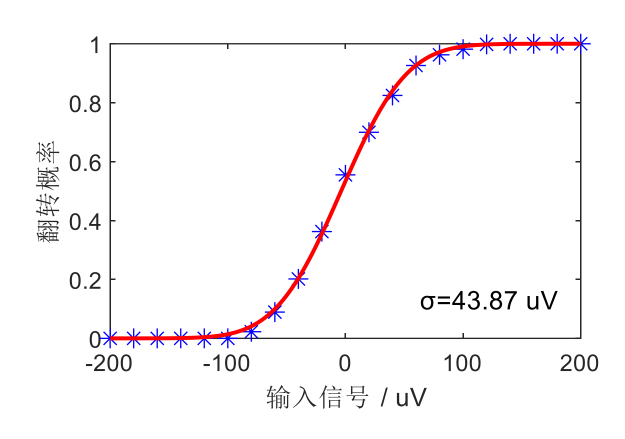


图 9 甄别器噪声仿真和拟合结果

2.4 输出驱动

甄别后的脉冲波形信号需要送到片外进行时间测量，输出驱动采用 LVDS 输出，一方面可以抑制传输过程中的差模噪声，另一方面可以适应大多数应用场景。对 LVDS 输出驱动的要求是高摆率和低附加抖动，防止时间性能恶化。考虑到粒子物理实验中数字后端一般位于远离探测器的低辐照环境，输出驱动需要能应对远距离传输的场景。随着传输线距离增长，受寄生影响，信号的上升沿和下降沿变缓，信号宽度衰减，最终会变得不可识别，因此在需要输出驱动中加入波形展宽功能预加重功能。波形展宽功能通过延时 buffer 和组合逻辑实现，使脉冲波形增加固定的宽度；预加重功能在 LVDS 驱动器中实现。

LVDS 输出驱动器结构如图 10 所示，主体部分为典型的 LVDS 输出驱动器结构，输入信号经过预驱动后得到 VP 和 VN 一对差分信号，分别控制一对 CMOS 管的通断。M1 和 M7 起到预加重功能，由边沿检测电路在信号跳变时产生 ICP 和 ICN 一对互补的窄脉宽信号，分别控制 M1 和 M7 的通断，在信号跳变沿 M1 和 M7 导通，提供更大的电流，使信号边沿更快，保证远距离传输情况下的时间性能。

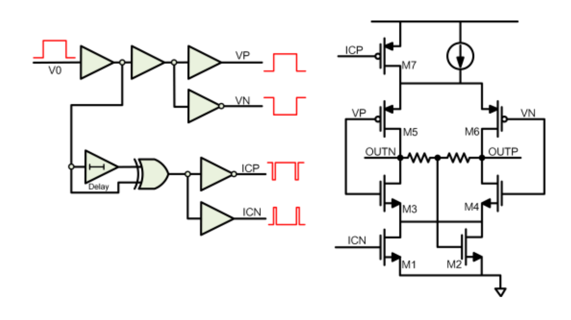


图 10 LVDS 输出驱动电路

对展宽电路和 LVDS 输出驱动器联合仿真，其附加抖动在所有工艺角下均小于 1ps，满足设计需要。

2.5 版图设计和后仿真

基于 180 nm CMOS 技术设计了芯片版图，整体版图如图 11 所示，芯片面积为 1400 μm×2900 μm。

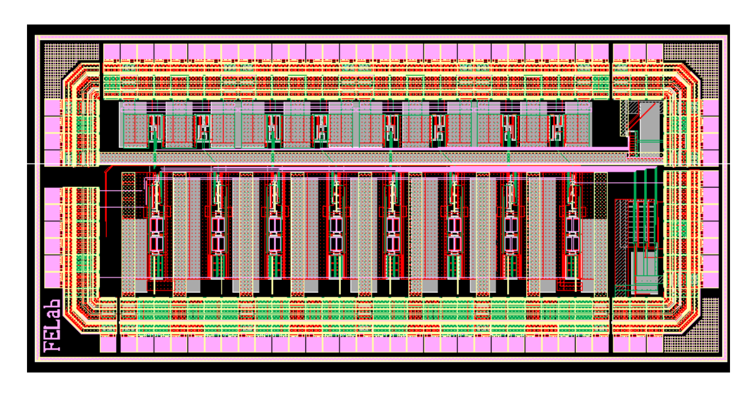


图 11 芯片版图

版图设计需要重点考虑的是电源分割与关键信号的隔离。因为该芯片是放大甄别芯片，其输入是百飞库量级的微弱信号，输出是高摆率的 LVDS 信号，需要防止大信号带来的干扰传递到小信号，从而影响到时间性能。将电源域分为两个部分，分别是模拟前端电源域和输出驱动电源域，通过电源隔离来保证模拟前端的供电不受 LVDS 和数字电路抽拉电流的影响。

对关键信号抽取参数后进行仿真，时间抖动的仿真结果如图 12 所示：在 PN 端同时注入极性相反的电荷量为 100 fC 的信号时，时间精度好于 8 ps。图 13 为前沿时间（TOA）和过阈时间（TOT）随注入信号电荷量变化的仿真结果，随着注入信号电荷量变大，受 time-walk 效应[22]的影响，甄别得到的前沿会变得更早，TOA 与 TOT 之间的关系单调且平滑，满足用 TOT 对 TOA 进行修正的要求。

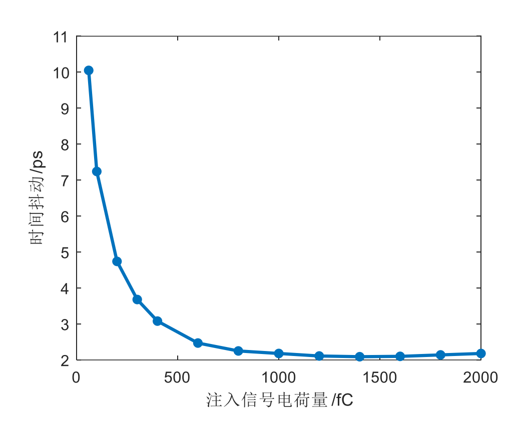


图 12 时间抖动仿真结果

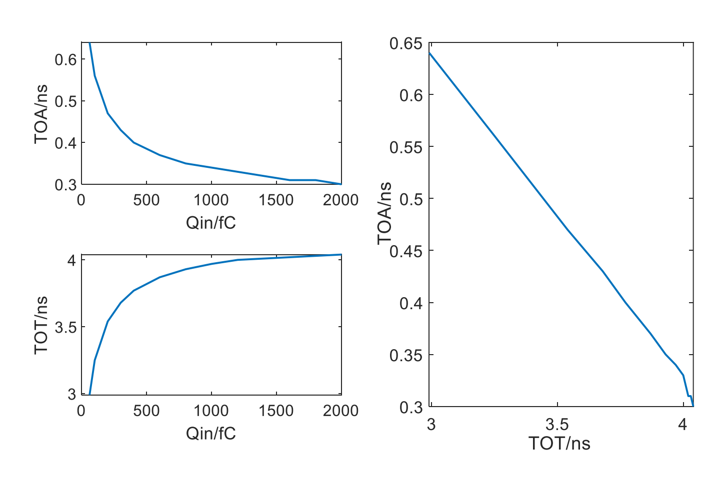
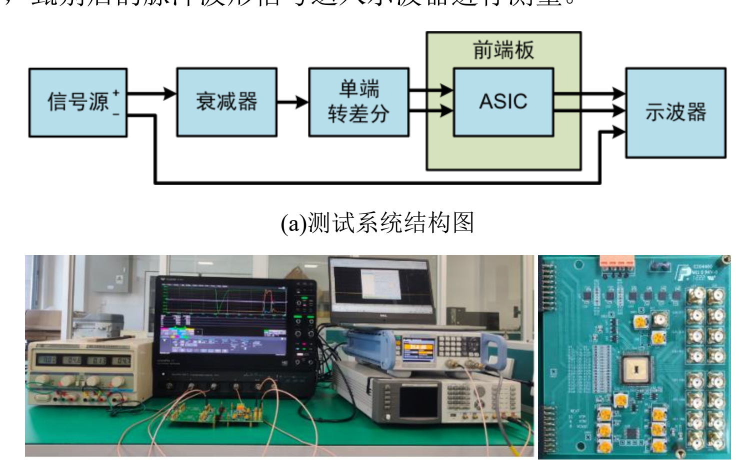


图 13 time-walk 效应仿真结果

3. 芯片测试：

原型 ASIC 采取 CQFP128 的封装，测试平台按照图 14 所示方法搭建：用信号源（Keysight 81180A）产生波形特征与 MRPC 输出波形相同的信号，信号源的正负两路输出分别作为测试信号和触发信号，触发信号直接送入示波器（Teledyne LeCroy WavePro 254HD），测试信号经过衰减后转为差分信号，然后送入 ASIC 进行放大和甄别，甄别后的脉冲波形信号送入示波器进行测量。



(a)测试系统结构图

(b)测试系统实物图

图 14 测试系统及实物

经过标定，触发信号和原始的测试信号之间的抖动小于 2.5 ps，所以触发信号可以视为理想的时间戳信号。用示波器测量触发信号和测试信号之间时间差，统计其分布，其标准差可以表示芯片的时间抖动性能，测试结果如图 15 所示，在 P 端和 N 端同时注入极性相反的 100 fC 电荷量的信号时，所有通道的时间抖动都好于 10 ps；在 500 fC 的大信号下，时间抖动好于 4 ps。

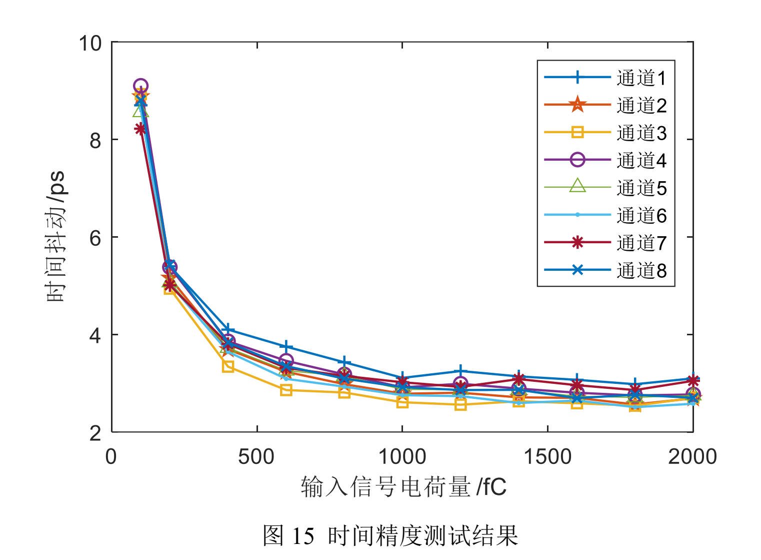


图 15 时间精度测试结果

过阈时间与注入信号电荷量关系测试结果如图 16 所示，TOT 与电荷量之间的关系单调且平滑，这说明可以利用 TOT 表征电荷量信息并对 TOA 进行 time-walk 效应的修正。

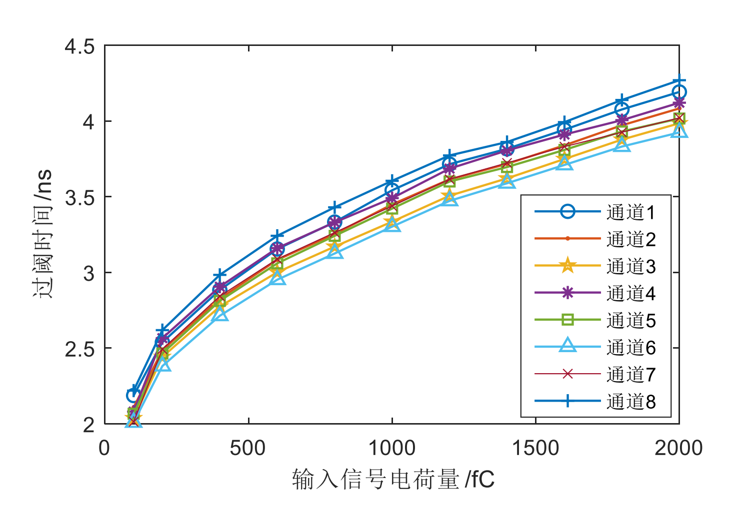
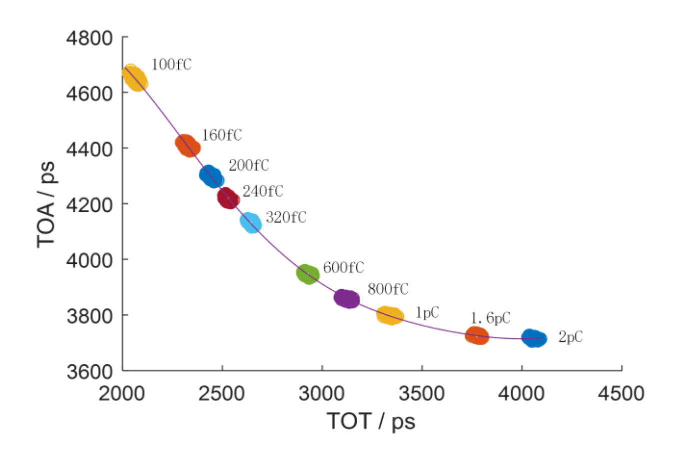


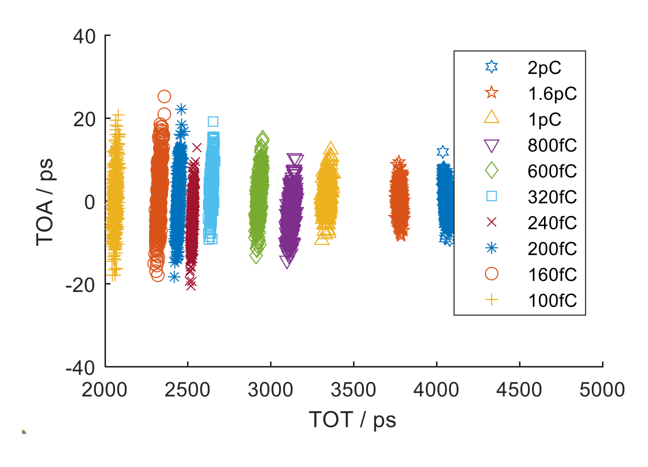
图 16 过阈时间与输入信号电荷量关系测试结果

接下来对 time-walk 进行修正。选择通道 1 作为研究对象，在固定的阈值和不同电荷量的情况下，其输出信号的 TOA 与 TOT 的测试结果分布的散点图如图 17（a）所示。可以看到，随着输入信号电荷量变大，甄别得到的前沿时间更早且脉宽更宽。利用多项式拟合得到拟合曲线，记为 f(x)，然后用拟合曲线对 TOA 进行修正,即$\mathrm{TOA_i} = \mathrm{TOA_{i0}} - \mathrm{f(TOT_{i0})}$，修正后的散点图如图 17（b）所示，不同电荷量的信号在修正后的前沿时间基本一致。

对于我们所关心的时间精度指标，Time-walk 修正的影响是有利有弊的，一方面，用 TOT 修正 TOA 的过程中，TOT 的抖动贡献到了修正之后的 TOA，会使时间精度变差；另一方面，time-walk 修正改善了由于电荷量离散引起的 TOA 分布的离散程度，会使时间精度变好；最终对时间精度指标的影响取决于这两方面因素影响的相对强弱。对于该组数据中 100 fC 电荷量下的数据，在修正前 TOA 的标准差为 8.7 ps，修正后标准差为 6.7 ps，经过修正后时间精度变得更好；对于 160 fC 电荷量数据，修正前 TOA 标准差为 6.4 ps，修正后为 6.9 ps，经过修正时间精度变差。但即使如此，是所有电荷量信号各自的分布下，TOA 修正后的标准差都好于 10 ps，如果将所有电荷量下修正后的 TOA 视为一个集合，修正后所有 TOA 数据的标准差为 5.5 ps，具有较好的总体时间精度。



（a）修正前 TOA、TOT 随电荷量分布及拟合曲线



（b）修正后 TOA、TOT 随电荷量分布

图 17 time-walk 效应修正测试结果

芯片的输入阻抗测试基于图 18 所示电路进行，用信号源产生波形特征与 MRPC 输出波形相同的信号，经过三通后，其中一路送入芯片中的前置放大器，另一路送入示波器。信号在前放处发生反射，反射的信号经过三通送入示波器。当阻抗不匹配时，示波器上会观察到一个原始波形和一个反射波形，两个波形的幅度与示波器输出的原始波形幅度的关系为：

$$V_1 = \frac{1}{2} V_0 \tag{13}$$

$$V_2 = \frac{1}{2} V_0 \times \frac{Z_{in} - Z_c}{Z_{in} + Z_c} \times \frac{1}{2} \tag{14}$$

其中$\frac{Z_{in}-Z_c}{Z_{in}+Z_c}$为前放处的反射系数，由(13)(14)可得输入阻抗为：

$$Z_{in} = \frac{V_1 Z_C + 2V_2 Z_C}{V_1 - 2V_2} \tag{15}$$

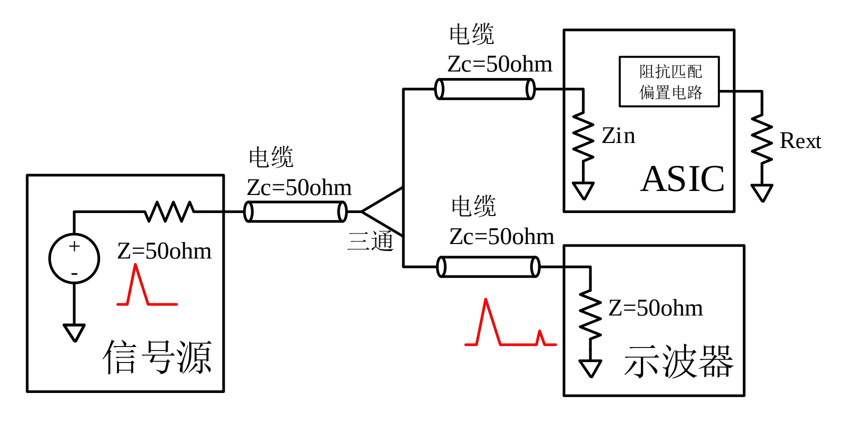


图 18 输入阻抗测试系统

通过测量两个波形的峰值之比，可以反推算出前放的输入阻抗，测试结果如图 18 所示，满足与传输线阻抗或 MRPC 探测器输出阻抗匹配的要求。

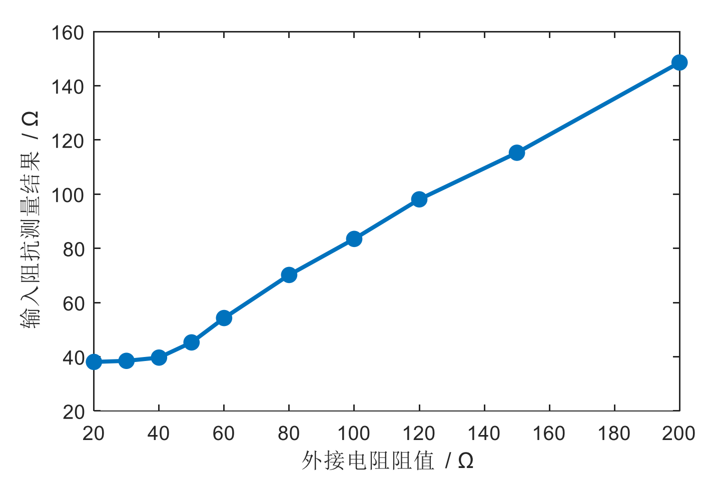


图 19 输入阻抗测试结果

功耗测试表明，全芯片的功耗约为 190 mW，平均单通道功耗 24 mW。

下表总结了本工作和同类芯片的性能对比。本工作相比于同类型芯片，其优点是在基本相同的动态范围下达到了更好的时间精度。

表 2 本工作与同类型芯片参数对比

参数	NINO	PADI-8	NTIMP1A	本工作
CMOS 工艺	250 nm	180 nm	130 nm	180 nm
通道数	8	8	8	8

等效噪声电荷 (e^-, rms)	3320	1145	1800	1700
输入阻抗 (Ω)	40-75	30-160	50-200	40-140
时间抖动 (ps, rms)	<25	<25	<15	<10
单通道功耗 (mW)	27	17	6.1	24

4. 总结：

基于 180 nm CMOS 技术设计了一款用于 MRPC 读出的 8 通道的高速放大甄别 ASIC，并完成了流片和测试。该芯片单通道功耗为 24 mW, 在差分输入 100 fC～2 pC 的电荷量下，该芯片输出信号的时间抖动小于 10 ps，达到设计目标，为未来集成模拟前端和 TDC 的 MRPC 读出 ASIC 设计提供了良好的准备。

参考文献

[1] LIPPMANN C. Particle identification (Review) [J]. GSI Helmholtzzentrum für Schwerionenforschung, Planckstraße 1, 64291 Darmstadt, Germany, 2012, Vol.666: 148-72.

[2] AKINDINOV A, ALICI A, ANTONIOLI P, et al. Final test of the MRPC production for the ALICE TOF detector [J]. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 2009, Vol.602(No.3): 709-12.

[3] WANG Y, WANG J, CHENG J, et al. Production and quality control of STAR-TOF MRPC [J]. [1] Tsinghua Univ, Dept Engn Phys, Beijing 10084, Peoples R China Tsinghua University, 2010, Vol.613(No.2): 200-6.

[4] ZHU W, WANG Y, FENG S, et al. A thin float glass MRPC for the outer region of CBM-TOF wall(Article) [J]. Ministry of Education, Department of Enigneering Physics, Tsinghua University, Beijing 100084, China;Department of Physics, C, 2014, Vol.735(No.0): 277-82.

[5] LI X, SUN Y, LI C, et al. Study of MRPC technology for BESIII endcap-TOF upgrade [J]. ; Univ Sci & Technol China, Hefei 230026, Anhui, Peoples R China ; Chinese Acad Sci, Inst High Energy Phys, Beijing 100049, Peoples R China ; USTC IHEP, State Key Lab Particle Detect & Elect, Hefei, Anhui, Peop, 2017, Vol.1(No.2): 13.

[6] ZHOU Y, HU D, ZHAO L, et al. R & D of prototype iTOF-MRPC at CEE [J]. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 2023, Vol.1054(No.0): 168455.

[7] 鲁佳鸣. CEE 中飞行时间探测器原型电子学研究 [D]; 中国科学技术大学, 2021.

[8] WANG Y, ZHANG Q, HAN D, et al. Status of technology of MRPC time of flight system [J]. Journal of Instrumentation, 2019, 14(06): C06015-C.

[9] ALTRUDA S, CHRISTIANSEN J, HORSTMANN M, et al. PicoTDC: a flexible 64 channel TDC with picosecond resolution [J]. Journal of Instrumentation, 2023, Vol.18(No.7): P07012.

[10] SUI T, ZHAO Z, XIE S, et al. Pico-TDC: a novel FPGA-based TDC with 2.2ps RMS timing resolution [M]. ; Huazhong Univ Sci & Technol, Wuhan, Hubei, Peoples R China ; Shanghai Jiao Tong Univ, Shanghai, Peoples R China ; Lawrence Berkeley Natl Lab, Dept Mol Biophys & Integrated Bioimaging, Berkeley, CA 94720 USA, 2017.

[11] TANCOCK S, ARABUL E, DAHNOUN N. A Review of New Time-to-Digital Conversion Techniques [J]. Department of Electrical and Electronic Engineering, University of Bristol, Bristol, UK, 2019, Vol.68(No.10): 3406-17.

[12] YU Y, LIU J, WANG Y, et al. Development of high rate and ultrahigh time resolution MRPC for the future time of flight systems [J]. Journal of Instrumentation, 2022, 17(02).

[13] ANGHINOLFI F, JARRON P, KRUMMENACHER F, et al. NINO, an ultra-fast, low-power, front-end amplifier discriminator for the Time-Of-Flight detector in ALICE experiment [Z]. 2003 IEEE Nuclear Science Symposium Conference Record (IEEE Cat No03CH37515). 2003: 375-9 Vol.1.10.1109/nssmic.2003.1352067

[14] CIOBANU M, MARGHITU O, CONSTANTINESCU V, et al. New Models of PADI, an Ultrafast Preamplifier–Discriminator ASIC for Time-of-Flight Measurements [J]. IEEE Transactions on Nuclear Science, 2021, 68(6): 1325-33.

[15] ZHAO Z, ZHENG R, LI J, et al. NTIMP1—A Fast Pulse Readout Chip With 1.2 V Power Supply Applied to the Diamond Detector in HIAF [J]. IEEE Transactions on Nuclear Science, 2023, 70(6): 1047-52.

[16] YU Y, WANG Y, HAN D, et al. Study of transmission-line impedance of strip lines in an MRPC detector [J]. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 2020, 953.

[17] 陈晗. 用于 LGAD 读出的高精度时间测量原型 ASIC 研究 [D]; 中国科学技术大学, 2022.

[18] SUN Q, DOGRA S M, EDWARDS C, et al. The Analog Front-end for the LGAD Based Precision Timing Application in CMS ETL [J]. 2020.

[19] RAZAVI B. Design of Analog CMOS Integrated Circuits 2 ed [M]. 2016.

[20] RADEKA V. LOW-NOISE TECHNIQUES IN DETECTORS [J]. Annual Review of Nuclear and Particle Science, 1988, 38: 217-77.

[21] SUN H, GONG D, EDWARDS C, et al. In-pixel automatic threshold calibration for the CMS Endcap Timing Layer readout chip [J]. Journal of Instrumentation, 2021, Vol.16(No.9): T09006.

[22] VINKE R, LöHNER H, SCHAART D R, et al. Time walk correction for TOF-PET detectors based on a monolithic scintillation crystal coupled to a photosensor array [J]. Kernfysisch Versneller Instituut, University of Groningen, Zernikelaan 25, 9747 AA Groningen, Netherlands;Delft University of, 2010, Vol.621(No.1-3): 595-604.

Design of a prototype ASIC for the MRPC front-end readout

LI Zhuang[1,2], QIN Jiajun[1,3,†], CHEN Han[1,3] , LI Jiaming[1,3], ZHAO Lei[1,2,3]

(1. State Key Laboratory of Particle Detection and Electronics, University of Science and Technology of China, Hefei 230026, China;

2. School of Microelectronics, University of Science and Technology of China, Hefei 230026, China;

3. Department of Modern Physics, University of Science and Technology of China, Hefei 230026, China)

Abstract: The Time of Flight (TOF) detector is an important component of nuclear and particle physics experiments, and Multi-gap Resistive Plate Chamber (MRPC) is widely used in TOF measurement systems due to its high time precision. The mainstream technique for the readout of the MRPC detector involves amplification and discrimination, combined with a Time-to-Digital Converter (TDC). To meet the requirements of high time precision, low power consumption, and high integration in MRPC readout electronics, a high-speed amplification and discrimination prototype chip has been designed. The chip integrates 8 channels, each of which includes a preamplifier, a discriminator, and an output driver circuit. The preamplifier adopts a common gate structure, facilitating impedance matching with low input impedance. The discriminator uses multiple cascaded amplifiers to provide enough gain, and achieves discrimination function by saturating amplification. After discrimination, the pulse signal is conveyed outside the chip via a Low-Voltage Differential Signaling (LVDS) driver, and its front edge and pulse width can characterize the time of arrival (TOA) and charge information of the MRPC signal. Based on 180 nm CMOS process, the circuit design, simulation and fabrication have been completed, and the performance test has been conducted in the laboratory environment. The test results indicate that the time precision is better than 10 ps (rms) with 100 fC ~ 2 pC injected charge and the single channel power consumption is approximately 24 mW.

Key words: High Precision Time Measurement; MRPC Front-end Readout Electronics; Amplification and Discrimination; ASIC

Foundation item: Supported by the National Science Fund for Distinguished Young Scholars of China (No.12325509).

Author: Li Zhuang, E-mail: lz19990921@mail.ustc.edu.cn

†Corresponding author: Qin Jiajun, E-mail: jjqin@ustc.edu.cn